

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

00667150      \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:      55-154750 [JP 55154750 A]

PUBLISHED:      December 02, 1980 (19801202)

INVENTOR(s):    ISHIWATARI HIROYUKI

APPLICANT(s):   FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      54-062829 [JP 7962829]

FILED:          May 22, 1979 (19790522)

INTL CLASS:     [3] H01L-021/88

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R044 (CHEMISTRY -- Photosensitive Resins)

JOURNAL:        Section: E, Section No. 46, Vol. 05, No. 27, Pg. 121,  
February 18, 1981 (19810218)

### ABSTRACT

PURPOSE: To prevent disconnection of a semiconductor device by laminating a silicon oxide layer having higher etching speed than an insulating film on an electrode on the film and forming round corner at a connecting hole of the film by utilizing the difference of the etching speed therebetween to form a gentle slope curve in cross section at the hole.

CONSTITUTION: An aluminum electrode 2 is formed through an SiO(sub 2) film 2 on a semiconductor substrate 1, and a PSG21 is coated thereon. Further, a solution in which SiOH(sub 4) is dissolved in ethanol is coated thereon and heat treated to form an SiO(sub 2) film 22 on the surface of the PSG21 by means of dehydration and condensation. When a resist mask 22 is coated thereon and etched with gas plasma of F(sub 4)+O(sub 2), a wiring hole 25 having a low gradient is formed at the side surface 26 of the hole due to the difference of the etching speeds therebetween. When the resist is removed and a wiring is formed thereon, the wire is not reduced in thickness at the side surface 26 and eliminates its disconnection.

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2000 EPO. All rts. reserv.

3262882

Basic Patent (No,Kind,Date): JP 55154750 A2 801202 <No. of Patents: 001>

**MANUFACTURE OF SEMICONDUCTOR DEVICE** (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): ISHIWATARI HIROYUKI

IPC: \*H01L-021/88;

JAPIO Reference No: \*050027E000121;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 55154750</b>	A2	801202	JP 7962829	A	790522 (BASIC)

Priority Data (No,Kind,Date):

JP 7962829 A 790522

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—154750

⑪ Int. Cl.<sup>3</sup>  
H 01 L 21/88

識別記号

庁内整理番号  
7210—5F

⑬ 公開 昭和55年(1980)12月2日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭54—62829

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭54(1979)5月22日

川崎市中原区上小田中1015番地

⑲ 発 明 者 石渡広行

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1 発明の名称 半導体装置の製造方法

2 特許請求の範囲

半導体基板上に形成した電極上に絶縁膜を被覆し、さらにその表面を還元化合物を含む揮発の熱処理によって生成した上記絶縁膜よりも速いエッチング速度を有する酸化物層で被覆し、しかる後、前記電極の所定の接続部位に対応した前記酸化物層及び絶縁膜を共通のレジストパターンによる選択したエッチング操作によって開孔せしめ、当該開孔部にターペを持つ電極配線膜を形成することを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

本発明は半導体装置の製造方法に関し、特に半導体装置の電極配線膜の形成方法の改良に関するものである。

半導体装置において一般に絶縁膜で被覆された電極とその絶縁膜上に配設する配線とを接続する場合、前記電極の接続部位上の絶縁膜に配線接続

窓を形成する手段がとられている。たとえば従来第1図に示すように半導体基板1上にシリコン酸化物膜2を介してアルミニウム等を蒸着しフォトリソニング等によって所望の電極3を形成し、その上にシリコン酸化物あるいはSiO<sub>2</sub> (リンガラス)等の絶縁膜4を被覆形成し、前記電極の所定接続部位に対応した前記絶縁膜4を酸除去して電極配線接続窓5を形成していた。しかし絶縁膜4に形成された接続窓3の側面が図示のように急峻に切り立つて穴あけされているので、その後において前記接続窓3上にアルミニウム等の配線7を蒸着形成させたとき、前記接続窓3の角部分と側面とにおいて、前記配線7の膜厚が他の部分より薄くなつたり、また時に不連続状となり配線7の断線が発生し易い欠点があり信頼性の低下が免れなかつた。

本発明は上記従来の欠点に鑑みとされたもので、その目的は、電極上の絶縁膜に形成する配線接続窓をその角部分に丸みを持たせ、しかも側面が緩傾斜状となるように形成し、その上に配設する

素配線の断線発生を防止して信頼性を向上せんとするものである。この目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に形成した電極上に絶縁膜を被覆し、さらにその表面に絶縁化合物を含む溶液を塗布して、熱処理により生成した上記絶縁膜よりも速いエッチング速度を有する絶縁化合物層を被覆し、しかる後、前記電極の所定の素配線部位に対応した前記絶縁化合物層及び絶縁膜を共通のレジストパターンにより選択したエッチング操作により除去せしめ、当該開穴部にテーパを持つた電極配線素配線部を形成することを特徴としている。

以下図面を用いて本発明の一実施例を詳細に説明する。第2図、第3図及び第4図は本発明の一実施例の工程説明図である。なお、第1図と同称部分には同符号を記した。まず、第2図に示すように、半導体基板上にシリコン酸化膜2を介してアルミニウム等を蒸着し、フォトリソエッチングにより所望の電極3を形成する。その基板上に例えばPSG(リンガラス)からなる絶縁ガラス膜

3

21を形成する。前記絶縁化合物絶縁層23は、その下に形成されている絶縁ガラス膜21よりも数倍のエッチング速度を有しているため、レジスト膜22で形成されたパターンエッチよりも前記絶縁化合物絶縁層23が図示のようにアンダカット状に入り込んでエッチングされるので、同時に選択してその下に露出した前記絶縁ガラス膜21のエッチングが、前記アンダカット部分にまで波及され、その結果、第3図に示すごとく、前記絶縁ガラス膜21に開穴された配線素配線25は、各層膜のエッチング速度の違いから、その側面方向にもオーバエッチングされ、側面部26が鋭いテーパ状をなす配線素配線25が形成されることとなる。その後、前記レジスト膜22及び絶縁化合物絶縁層22を除去し形成された前記配線素配線25上に第4図に示すようにアルミニウム等の蒸着により素配線27を形成すれば、従来のごとく配線素配線27の角部分や側面において前記配線26の膜厚が薄くなる心配はなく、また断線も解消される。

なお、前記絶縁ガラス膜21に開穴する素配線

3

特開55-154750(2)

21をCVD法(化学気相堆積法)等により形成する。さらに前記絶縁ガラス膜21上に絶縁化合物を含む溶液、たとえば絶縁水酸化物(Si(OH)<sub>4</sub>)、またはその低分子重合体などをエタノール等の有機溶媒に溶解した溶液を塗布する。この場合、フォトリソ塗布用の回転塗布機を用いるのが簡便である。塗布後、予備乾燥を行い、その後500℃以下の熱処理により前記絶縁ガラス膜21表面が前記塗布層の脱水縮合により生成された絶縁化合物絶縁層22で被覆される。しかる後、前記電極3の所定配線素配線部位に対応した前記絶縁化合物絶縁層23上にレジスト膜22により開穴パターン24を形成する。次いでP、(四弗化炭素)とU、ガスからなるガスプラズマにより化学的にエッチングがなされるプラズマエッチング法を用いて、第3図に示すように前記電極3上の開穴パターン24部に露出せる前記絶縁化合物絶縁層22、次いでその下のPSGからなる絶縁ガラス膜21を選択的にエッチングする。ただし、この場合、前記開穴パターンに露

4

25の露出部分は、前記絶縁水酸化物またはその低重合体などと、エタノール等の有機溶媒との配合比を変えて用いることにより調整し得るものであり、また本実施例では配線素配線25を開穴する電極上の絶縁膜にPSGからなる絶縁ガラス膜21を用いた例で説明したが、本発明はこれに限定されるものではなく、たとえば二酸化シリコン(SiO<sub>2</sub>)膜、あるいは窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)膜及び一酸化シリコン(SiO)膜を用いた場合にも本発明が適用可能なことはいまでもない。

以上説明したように本発明によれば、配線素配線を開穴する電極上の絶縁膜表面に絶縁水酸化物またはその低分子重合体を有機溶媒に溶解した溶液を塗布して熱処理により絶縁化合物(Si(OH)<sub>4</sub>)絶縁層を形成し、この絶縁化合物絶縁層とその下の絶縁膜とのプラズマエッチング速度の差を利用して配線素配線を所望の傾斜をもたせて形成するものであるから、形成された電極配線素配線の角部分及び側面が鋭い傾斜状となり、その上に配線する素配線の断線が解消され、信頼性が向上す

5

る。また多層配線の層間を接続させるのに配線層間の絶縁膜に貫通穴を形成する場合にも本発明が適用できることは勿論である。

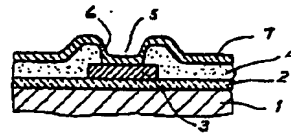
#### 4. 図面の簡単な説明

第1図は従来の電極配線接続態を説明する要部断面図、第2図、第3図及び第4図は本発明に係る一実施例を説明する工程図である。

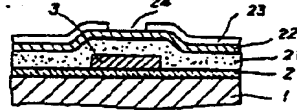
1:半導体基体、2:シリコン酸化膜、3:電極、4:絶縁膜、5:配線接続地、6:側面、7:配線、21:光敏膜、22:感光性樹脂被膜、23:レジスト膜、24:開孔パターン、25:配線接続地、27:後続配線。

代理人 弁理士 松岡 安 昭

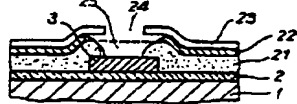
第 1 図



第 2 図



第 3 図



第 4 図

